

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235651

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 27/12
H01L 21/20
H01L 21/304
H01L 21/306
H01L 21/762
H01L 21/76

(21)Application number : 06-327503

(71)Applicant : CANON INC

(22)Date of filing : 28.12.1994

(72)Inventor : YAMAGATA KENJI
YONEHARA TAKAO

(30)Priority

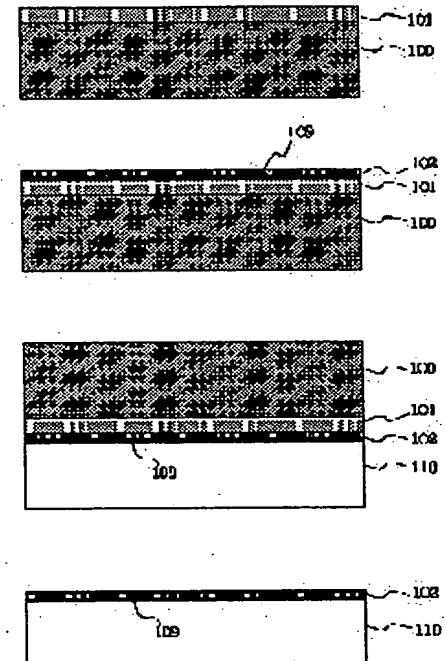
Priority number : 05337494 Priority date : 28.12.1993 Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To protect a thin film against cracking and peeling and to prevent a substrate from warping much by a method wherein dissimilar substrates are brought into close contact with each other only by a Van der Waals force at a room temperature, and a single crystal silicon thin film is formed on the insulating substrate without performing a thermal treatment.

CONSTITUTION: The surface of a silicon substrate 100 is turned into a porous silicon 101. A single crystal silicon layer 102 is epitaxially grown on the porous silicon 101 through a CVD method. The substrate 100 which is cleaned with a mixed solution composed of hydrochloric acid/hydrogen peroxide/water, rinsed with pure water, and dried up and a molten quartz substrate 110 which is cleaned through the same method are brought into close contact with each other at a room temperature. The silicon substrate side of the joined substrate is ground. In succession, the silicon substrate 100 and the porous silicon layer 101 are subjected to an etching process. In result, an SOI substrate composed of a transparent substrate and a single crystal silicon thin film formed on it can be obtained. The SOI substrate is annealed and subjected to a heat treatment so as to enhance its joint interface in binding power. By this setup, a thin film can be protected against cracking, peeling, and warpage.



LEGAL STATUS

[Date of request for examination] 24.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3262470

[Date of registration] 21.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
7-235651/1995 (Tokukaihei 7-235651) (Published on
September 5, 1995)

(A) Relevance to claims

The following is a translation of passages related to
claim 1 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method for manufacturing a semiconductor
substrate, characterized by carrying out the following
steps in sequence:

(a) a step for anodizing a surface layer on one
surface of a single-crystal semiconductor substrate so as
to cause the surface layer to be porous, in order to form a
porous single-crystal semiconductor layer on a
non-porous single-crystal semiconductor area;

(b) a step for epitaxial-developing a non-porous
single-crystal semiconductor layer on the porous
single-crystal semiconductor layer;

(c) a step for superposing a surface of the

non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) a step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) a step of etching the non-porous single-crystal semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) a step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[Conventional Art]

[0010]

However, according to this method, a heat treatment is required so that a thin silicon substrate which is about 300 μ m thick has to be adopted in consideration of a thermal stress. For this reason, accidents such as cracking the substrate tend to occur during the processes of bonding and carrying the substrate, so that the

processes have to be carried out with great care. Moreover, to carry out a heat treatment with a higher temperature, a cycle of thinly grinding the substrate and carrying out a heat treatment has to be repeated. Thus, there is such a deficiency that the manufacturing speed cannot be increased when a "laminated SOI substrate" is manufactured.

[0015]

[Problem to Be Solved by the Invention]

As described above, in the conventional "laminated SOI substrate", an insulating substrate and a silicon substrate cannot be sufficiently bonded with each other without carrying out a heat treatment. However, as described above, the aforementioned problems such as the crack and warpage of the substrate occur when a silicon substrate is directly bonded with a transparent substrate whose thermal expansion coefficient is different from that of the silicon substrate. To solve this problem, the temperature of the heat treatment has conventionally been subtly adjusted in such a manner as to keep the bonding force to be sufficient to withstand the shearing force while restrain the problems of crack and warpage. Such a subtle adjustment is, however, difficult to carry out.

[0017]

[Means to Solve the Problem and Effects]

Thus, the objective of the present invention is to form a high-quality and high-performance SOI substrate either without carrying out a heat treatment process or with simply only one heat treatment process, from a substrate manufactured by bonding, on a transparent insulating substrate, a silicon single-crystal substrate having a thermal expansion coefficient significantly different from that of the transparent insulating substrate.

[0019]

The inventors of the present invention have diligently worked on in order to achieve the above-mentioned objective. As a result, the inventors of the present invention have found that, an SOI substrate which can overcome the above-described problem can be manufactured in the following manner: A single-crystal silicon layer is epitaxial-developed on a porous silicon surface of a silicon substrate whose surface layer is caused to be porous. Then an insulating heterogeneous substrate which will be a supporting substrate is caused to closely contact with the epitaxial-developed surface at room temperatures and only by Van der Waals force, and in order to minimize the influence of the stress, the

silicon substrate is removed by wet-etching using an etching solution, without carrying out a heat treatment. Subsequently, the porous part is selectively etched, so that a single-crystal silicon thin film is formed on the insulating substrate.

[0024]

- (a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;
- (b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;
- (c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;
- (d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;
- (e) A step of etching the non-porous single-crystal

semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0027]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(e) A step of etching the non-porous single-crystal semiconductor area, in order to remove all of the

non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0028]

On this occasion, it is preferable that the step (e) is carried out at not more than 100°C and in any one of an alkali solution, an organic alkali solution, and an acid solution including hydrogen fluoride and nitric acid.

[0030]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the

insulating substrate, virtually without carrying out a heat treatment; and

(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area.

を重ね合わせた後、実質的に熟処理を施すことなく両者

(1)

15

1/6

よつては発生しなかった。

[0064] (実施例2) 図2を用いて本発明の第2の実施例の詳細を説明する。

[0065] (図2a) 3.00 μmの厚みを持つた抵抗率0.1Ω·cmの4インチP型(100)シリコン基板2.0を用意し、その裏面を第1実施例と同様にして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板3.1と室温で密着させた。

[0066] (図2b) 得られた多孔質シリコン2.0と、5 μmの厚みに形成した。

[0067] (図2c) 上記方法にて作成した基板をフッ酸/水の1:4:0混合液で洗浄し、純リソスして水乾燥させた後に同方法にて洗浄した4インチの溶融石英基板2.1と室温で密着させた。さらに加圧焼を用いて4インチの基板全面に60トンの圧力を加え、10分間保持した。

[0068] (図2d) まず2.80 μmあるシリコン基板部分2.0の1.80 μmを表面研削装置で研削し、残りシリコン厚後に素子形成の第1工程とし、8.0 μm、多孔質部分が2.0 μm、エビ部分が0.5 μmとした。焼いてフッ酸/硝酸/酢酸の1:1:0.1:1.0混合液でエッチングした。そして表面に多孔質シリコン層2.0が露出したところで、多孔質層2.0をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングに切り替えた。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2.0 μm/分であったので約4.0分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 μm/分であったので約1.3分で多孔質層全てがエッチングされた。石英基板2.1は数μmエッチングされただけにとどまつた。

[0069] (図2e) 上記工程により得られた石英基板2.1上の単結晶シリコン薄膜2.0を、設計された素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々2.0 μm/4.0 μmのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4×1.0 μmの島を設計位置にバーニングした。

[0070] バーニング後に窒素雰囲気中、100℃で、2時間の熱処理を行い、透明基板上に厚さ0.5 μmの単結晶シリコン薄膜を備えたS1.0基板を得た。

[0071] (実施例3) 図3を用いて本発明の第3の実施例の詳細を説明する。

[0072] (図3a) 4.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層3.1を形成した。

第1実施例と同様にしてエビタキシャル層3.0を用意し、さらに同基板のエビタキシャル層5.0の厚みだけ多孔質層に形成した。さ

(10)

10

1/6

取されている現像液SD-1(總山曹連製: テトラメチルアンモニウムハイドロキサイド水溶液)の原液に没し、8.5~9.0℃の温度で10時間保持した。その結果石英基板1.10は殆どエッチングされないが、シリコン基板1.00は殆どエッチングされ、多孔質シリコン層1.01が露出した。この基板を引き焼を選択エッチング浴液中に浸し、多孔質部分1.01のみを選択的に全てエッチングした。このとき選択エッチング浴液の組成と多孔質シリコンに対するエッチング速度は、

$H_2O_2 = 1:5 \quad 1.6 \mu\text{m}/\text{min}$

n. であった。從って2.0 μmの多孔質部分は、約13分間全てエッチングされた。ちなみにこのときの単結晶シリコン層1.02のエッチング速度は0.0006 μm/hourであり、殆どエッチングされずに残った。また石英基板1.10は、上記エッチング液のエッティング速度が約0.5 μm/min.であるので、エッティング時間中に約7.0 μmエッチングされたことになる。石英基板の元の厚みは6.25 μmだったのを約6.18 μmに減つたことになる。

n.

[0073] (図5b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層5.0を0.5 μmの厚みに形成した。

n.

[0074] (図5c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リソスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板3.1と室温で密着させた。

n.

[0075] (図5d) 上記基板を粗歯/過酸化水素水/水の混合液で洗浄し、純リソスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板5.1と室温で密着させた。

n.

[0076] (図5e) 上記基板を粗歯/過酸化水素水/水の混合液で洗浄し、純リソスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板5.1と室温で密着させた。

n.

[0077] (図5f) ここで300℃で10時間の熱処理を行ない、次いでSD-1を用いて第1の実施例と同様に残りのシリコン基板部分をエッチングし、シリコン基板部分全を除去した。

n.

[0078] (図5g) この結果透明基板上に厚さ0.5 μmの単結晶シリコン薄膜を備えたS0.1基板を得た。尚残り約1.0 μmは逆向きに透明基板上にできた。この基板を窒素雰囲気中、100℃で1時間アニールし、貼り合わせて島状にバーニングした。

n.

[0079] (図5h) 上記実施例6) 図1及び図6を用いて本発明の第6の実施例の詳細を説明する。

n.

[0080] (図5i) これは第1実施例同様に多孔質部分5.01をフッ酸/過酸化水素水浴液で選択的にエッチングした。

n.

[0081] (図5j) 上記工程により得られた石英基板5.10上に単結晶シリコン薄膜を備えた半導体基体を得た。

n.

[0082] (実施例6) 図1及び図6を用いて本発明の第4の実施例の詳細を説明する。

n.

[0083] (図1a) 6.25 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板4.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層1.01を形成した。

n.

[0084] (図1b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層4.02を得た。

n.

[0085] (図1c) 上記工程により得られた石英基板2.1上の単結晶シリコン薄膜2.0を、設計された素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々2.0 μm/4.0 μmのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4×1.0 μmの島を設計位置にバーニングした。

n.

[0086] (図1d) 上記基板を粗歯/過酸化水素水浴液で選択的にエッチングした。ここで得られた基板を300℃で24時間熱処理を行なつた。

n.

[0087] (図1e) この後第1実施例と同様にSD-1により残りのシリコン基板部分4.0を全てエッチングした後、多孔質部分4.01をフッ酸/過酸化水素水浴液で選択的にエッチングした。

n.

[0088] (図1f) 前記多孔質シリコン層1.01上にCVD法により、単結晶シリコン層1.02を0.5 μmエビタキシャル層4.02を得た。堆積条件は以下のとおりである。

n.

[0089] (実施例7) 図2を用いて本発明の第7実施例の詳細を説明する。

n.

[0090] (図2a) 3.00 μmの厚みを持つた抵抗率0.01Ω·cmの4インチP型(100)シリコン基板2.00を用意し、その裏面を第1実施例と同様に2.0 μmだけ多孔質シリコン2.01とした。

n.

[0091] (図2b) 得られた多孔質シリコン2.01と室温で密着させた。

n.

[0092] (図2c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板2.10と室温で密着させた。

n.

[0093] (図2d) ます8.0 μmあるシリコン層2.01と室温で密着させた。

n.

[0094] (図2e) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0095] (図2f) ここで300℃で1時間の熱処理を行なつた。

n.

[0096] (図2g) 上記実施例6) 図1及び図6を用いて本発明の第8実施例の詳細を説明する。

n.

[0097] (図2h) 5.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層2.01を形成した。

n.

[0098] (図2i) ここで300℃で1時間の熱処理を行なつた。

n.

[0099] (図2j) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0100] (図2k) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板2.10と室温で密着させた。

n.

[0101] (図2l) ここで300℃で1時間の熱処理を行なつた。

n.

[0102] (図2m) 上記実施例7) 図2を用いて本発明の第9実施例の詳細を説明する。

n.

[0103] (図2n) 3.00 μmの厚みを持つた抵抗率0.01Ω·cmの4インチP型(100)シリコン基板2.0を用意し、その裏面を第1実施例と同様に2.0 μmだけ多孔質シリコン2.01とした。

n.

[0104] (図2o) 得られた多孔質シリコン2.01と室温で密着させた。

n.

[0105] (図2p) 塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板2.10と室温で密着させた。

n.

[0106] (図2q) ここで300℃で1時間の熱処理を行なつた。

n.

[0107] (図2r) 上記実施例6) 図1及び図6を用いて本発明の第10の実施例の詳細を説明する。

n.

[0108] (図2s) 4.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層2.01を形成した。

n.

[0109] (図2t) ここで300℃で1時間の熱処理を行なつた。

n.

[0110] (図2u) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0111] (図2v) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板2.10と室温で密着させた。

n.

[0112] (図2w) ここで300℃で1時間の熱処理を行なつた。

n.

[0113] (図2x) 上記実施例6) 図1及び図6を用いて本発明の第11の実施例の詳細を説明する。

n.

[0114] (図2y) 4.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層2.01を形成した。

n.

[0115] (図2z) ここで300℃で1時間の熱処理を行なつた。

n.

[0116] (図2aa) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0117] (図2ab) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した5インチの溶融石英基板2.10と室温で密着させた。

n.

[0118] (図2ac) ここで300℃で1時間の熱処理を行なつた。

n.

[0119] (図2ad) 上記実施例6) 図1及び図6を用いて本発明の第12の実施例の詳細を説明する。

n.

[0120] (図2ae) 4.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層2.01を形成した。

n.

[0121] (図2af) ここで300℃で1時間の熱処理を行なつた。

n.

[0122] (図2ag) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0123] (図2ah) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した5インチの溶融石英基板2.10と室温で密着させた。

n.

[0124] (図2ai) ここで300℃で1時間の熱処理を行なつた。

n.

[0125] (図2aj) 上記実施例6) 図1及び図6を用いて本発明の第13の実施例の詳細を説明する。

n.

[0126] (図2ak) 4.00 μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板3.0を用意し、その裏面から2.0 μmの厚みだけ多孔質層2.01を形成した。

n.

[0127] (図2al) ここで300℃で1時間の熱処理を行なつた。

n.

[0128] (図2am) 上記工程により得られた石英基板2.1と室温で密着させた。

n.

[0129] (図2an) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリ

n.

(11)

基板 210 は数 μm エッチングされただけにとどまつた。

[01071] (図 2 e) 上記工程により得られた石英基板 210 上の単結晶シリコン構造 202 を、酸洗された素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々 2 μm /4 μm の MOS 型トランジスタを設計した位置には、ソース・ドレイン領域を含めて 4 \times 1 μm^2 の島を設計した。

[01081] (実施例 8) 図 8 を用いて本発明の第 8 実施例の詳細を説明する。

[01091] (図 3 a) 4.0 μm の厚みを持った抵抗率 0.1 $\Omega \cdot \text{cm}$ の 5 インチ P 型 (100) シリコン基板 310 を用意し、その裏面から 20 μm の厚みだけ多孔質層 301 を形成した。

[01101] (図 3 b) 得られた基板の多孔質表面に CVD 法により、透明基板上に厚さ 0.5 μm の 2 時間の熱処理を行い、透明基板上に厚さ 0.5 μm の単結晶シリコン薄膜を備えた SOI 基板を得た。

[01111] (図 3 c) 上記方法により作成した基板をヒツジ酸溶液で洗浄し、更に純水で乾燥させた後に同方法で洗浄した 5 インチの島状に各々 2 μm の厚みだけ多孔質層 301 を形成した。

[01121] (図 3 d) 得られた基板の多孔質表面に第 1 実施例と同様にしてエビタキシャル層 302 を、0.5 μm の厚みに形成した。更に同基板のエビタキシャル層 302 表面を 100 $^{\circ}\text{C}$ の水蒸気中で、0.2 μm 酸化して SiO₂ 層 303 を得た。この結果エビタキシャル層のシリコン単結晶部分が 0.4 μm 、酸化膜部分が 0.2 μm の厚さとなつた。

[01131] (図 3 e) 上記工程により作成した基板をヒツジ酸溶液で洗浄し、更に純水で乾燥させた後に同方法で洗浄した 5 インチの島状に各々 2 μm の厚みだけ多孔質層 301 を形成した。

[01141] (図 3 e) 上記工程により作成した石英基板 310 上の単結晶シリコン構造 302 を、第 1 実施例と同様にして、設計された素子の面積、形状、配置に合わせて島状にバーニングした。

[01151] (図 3 f) バーニング後に純水蒸気中で、各々の島状領域を 100 $^{\circ}\text{C}$ の酸素空気中で 0.5 μm 酸化した。從つてこの酸化工程を熱処理と兼ねることとし、結果、透明基板上の多孔質部分が 0.4 μm の厚みに形成した。更に同基板のエビタキシャル層 302 表面を 100 $^{\circ}\text{C}$ の水蒸気中で 0.2 μm 酸化して SiO₂ 層 303 を得た。この結果エビタキシャル層のシリコン単結晶部分が 0.4 μm 、酸化膜部分が 0.2 μm の厚さとなつた。

[01161] (実施例 9) 図 7 を用いて本発明の第 9 実施例の詳細を説明する。

[01171] (図 7 a) 6.25 μm の厚みを持つ 5 インチ P 型 (100) 単結晶シリコン基板 (0.1 ~ 0.2 μm) を用意し、これを図 6 に示すよう

装置にセットして陽極化成を行ない、シリコン基板 7 0.4 ~ 0.9 % HF 溶液を用い、電流密度

10

11

は 100 mA/ cm^2 であった。そしてこの時の多孔質化速度は 8.4 $\mu\text{m}/\text{min}$ であり、2.0 μm の厚み

の多孔質層は約 2.5 分で得られた。

[01181] (図 7 b) 前記多孔質シリコン 7 0.1 上に CVD 法により、単結晶シリコン層 0.2 を、0.5 μm エビタキシャル成長した。堆積条件は以下のとおりである。

[01191] 使用ガス: SiH₄/H₂ ガス流量: 0.42/140 (l/min) 温度: 750 $^{\circ}\text{C}$ 圧力: 80 Torr 成長速度: 0.08 $\mu\text{m}/\text{min}$ このとき堆積次第 1.0 が発生した。

[01201] (図 7 c) 上記方法にて作成した基板をヒツジ酸溶液で洗浄し、純水蒸気中で洗浄した後に同方法にて洗浄した 5 インチの島状石英基板 7 1.0 と室温で密着させた。

[01211] (図 7 d) 上記貼り合わせ基板のシリコン基板側を、要面研削装置で 4.75 μm 酸化してシリコン層を約 1.5 μm (単結晶シリコン部分が 0.5 μm 、多孔質部分が 2.0 μm 、エビ部部分が 0.5 μm) とした。そこで前記基板を 300 $^{\circ}\text{C}$ で 1 分間熱処理した。

[01221] (図 7 e) バーニング後に純水蒸気中でエビタキシャル層に対するエッチングレートは約 1.6 $\mu\text{m}/\text{分}/\text{分}^2$ であったので約 1.3 分で多孔質層全てがエッチングできた。石英基板 7 1.0 は数 μm エビチッタが発生した。

[01231] (図 7 f) 多孔質層 7 0.1 が露出したこの部分を引き続き選択エッチング溶渣中に浸し、多孔質層 7 0.1 のみを選択的に全てエッチングした。このとおり得られた島状のシリコン部分が 0.1 μm の厚さとなつた。

[01241] (図 7 g) 上記工程により得られた石英基板 7 1.0 上記 7 0.2 を、試験した素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々 2 $\mu\text{m}/4 \mu\text{m}$ の MOS

チャネル長/チャネル幅を設計した位置には、ソース・ドレイントランジスタを設計した位置には、ソース・ドレイン領域を含めて 4 \times 1 μm^2 の島を試験位置にバーニングした。

[01251] (実施例 11) 図 3 を用いて本発明の第 11 実施例の詳細を説明する。

[01261] (図 8 a) 6.0 μm の厚みを持つ 5 インチ P 型 (100) シリコン基板 8 0.0 を用意し、その表面から 2.0 μm の厚みだけ多孔質層 8 0.1 を形成した。

[01271] (図 8 b) 得られた基板の多孔質表面に多孔質層 9 0.1 を形成した。

[01281] (図 8 c) 上記工程により得られた石英基板 8 1.0 上記 8 0.2 を、試験した素子の面積、形状、配置に合わせて島状にバーニングした。

[01291] (図 8 d) 多孔質シリコン層 2.0 が露出したこの部分を引き続き選択エッチング溶渣中に浸し、多孔質層 2.0 のみを選択的に全てエッチングした。このとおり得られた島状のシリコン部分が 0.1 μm の厚さとなつた。

[01301] (図 8 e) 上記工程により得られた石英基板 8 1.0 上記 8 0.2 を、試験した素子の面積、形状、配置に合わせて島状にバーニングした。

[01311] (図 8 f) 多孔質シリコン層 8 0.2 を、試験した素子の面積、形状、配置に合わせて島状にバーニングした。

[01321] (図 8 g) 上記工程により得られた石英基板 8 1.0 上記 8 0.3 を形成した。

[01331] (図 8 h) 上記工程により得られた石英基板 8 1.0 上記 8 0.4 を形成した。

(12)

塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後に同方法にて洗浄した 5 インチの石英基板 3 1.0 と室温で密着させた。

[01341] (図 3 d) 第 1 実施例と同様に多孔質層 3 0.0 を用意し、その裏面から 2.0 μm の单結晶シリコン薄膜を備えた S 0.1 基板を得た。

[01351] (図 3 e) 上記工程により得られた石英基板 3 1.0 上の单結晶シリコン薄膜 3 0.2 を、第 1 実施例と同様にして、設計された素子の面積、形状、配置に合わせて島状にバーニングした。

[01361] (図 3 f) バーニング後に純水蒸気中で、各々の島状領域を 100 $^{\circ}\text{C}$ の酸素空気中で 0.5 μm 酸化した。從つてこの酸化工程を熱処理と兼ねることとし、結果、透明基板上の多孔質部分が 0.4 μm の厚みだけ多孔質層 3 0.1 を形成した。

[01371] (図 3 g) 上記工程により得られた石英基板 3 1.0 上記 3 0.2 を用意し、これを図 6 に示すよう

装置にセットして陽極化成を行ない、シリコン基板 7 0.4 ~ 0.9 % HF 溶液を用い、電流密度

この時の溶液 6 0.4 は 4.9 % HF 溶液を用い、電流密度

300 mA/ cm^2 にて洗浄した 5 インチの石英基板 3 1.0 と室温で密着させた。

[01381] (図 3 h) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 1.50 μm とした後、300 $^{\circ}\text{C}$ で 2.4 時間の熱処理を行ない、焼いて研削により残りのシリコン基板部分を 3.00 μm とした後で除去了して、多孔質部分 3.0 1 を露出させた。焼いて露出した多孔質部分 3.0 1 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

[01391] (図 3 i) 上記工程により得られた S 0.1 基板を得た。

[01401] (図 3 j) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 1.00 μm とした後で除去了して、多孔質部分 1.0 1 を露出させた。焼いて露出した多孔質部分 1.0 1 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

[01411] (図 3 k) 上記工程により得られた S 0.1 基板を得た。

[01421] (図 3 l) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.50 μm とした後で除去了して、多孔質部分 0.5 1 を露出させた。焼いて露出した多孔質部分 0.5 1 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

[01431] (図 3 m) 上記工程により得られた S 0.1 基板を得た。

[01441] (図 3 n) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.10 μm とした後で除去了して、多孔質部分 0.1 1 を露出させた。焼いて露出した多孔質部分 0.1 1 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

[01451] (図 3 o) 上記工程により得られた S 0.1 基板を得た。

[01461] (図 3 p) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.01 μm とした後で除去了して、多孔質部分 0.0 1 を露出させた。焼いて露出した多孔質部分 0.0 1 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

[01471] (図 3 q) 上記工程により得られた S 0.1 基板を得た。

[01481] (図 3 r) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.00 μm とした後で除去了して、多孔質部分 0.0 0 を露出させた。焼いて露出した多孔質部分 0.0 0 はフッ酸／過酸化水素水溶液で選択的にエッチングした。

塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.01 μm とした後で除去了して、多孔質部分 0.0 1 を露出させた。

[01491] (図 3 s) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.02 μm とした後で除去了して、多孔質部分 0.0 2 を露出させた。

[01501] (図 3 t) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.03 μm とした後で除去了して、多孔質部分 0.0 3 を露出させた。

[01511] (図 3 u) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.04 μm とした後で除去了して、多孔質部分 0.0 4 を露出させた。

[01521] (図 3 v) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.05 μm とした後で除去了して、多孔質部分 0.0 5 を露出させた。

[01531] (図 3 w) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.06 μm とした後で除去了して、多孔質部分 0.0 6 を露出させた。

[01541] (図 3 x) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.07 μm とした後で除去了して、多孔質部分 0.0 7 を露出させた。

[01551] (図 3 y) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.08 μm とした後で除去了して、多孔質部分 0.0 8 を露出させた。

[01561] (図 3 z) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.09 μm とした後で除去了して、多孔質部分 0.0 9 を露出させた。

[01571] (図 3 aa) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.10 μm とした後で除去了して、多孔質部分 0.1 0 を露出させた。

[01581] (図 3 ab) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.11 μm とした後で除去了して、多孔質部分 0.1 1 を露出させた。

[01591] (図 3 ac) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.12 μm とした後で除去了して、多孔質部分 0.1 2 を露出させた。

[01601] (図 3 ad) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.13 μm とした後で除去了して、多孔質部分 0.1 3 を露出させた。

[01611] (図 3 ae) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.14 μm とした後で除去了して、多孔質部分 0.1 4 を露出させた。

[01621] (図 3 af) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.15 μm とした後で除去了して、多孔質部分 0.1 5 を露出させた。

[01631] (図 3 ag) 塩酸／過酸化水素水／水の混合液にて洗浄し、純水リソ

ンして乾燥させた後で研削により残りのシリコン基板部分を 0.16 μm とした後で除去了して、多孔質部分 0.1 6 を露出させた。

[11]

ないか、或いは1回の低温熱処理を施すことで、従来の熱膨張係数の異なる基板同士の貼り合わせのように構薄膜が割れたり、剥がれたり、また基板が大きく反ったりすることがなくSOI基板を形成することが可能になつることも可能であるし、またSOI構造の大規模集積回路を作製する目的に対しても、高価なSOSや、SIMOXの代りに得る半導体基板を提供することができるようになつた。

【図面の簡単な説明】

【図1】本発明の工程を説明するための模式的断面、及び本発明の第1の実施例及び第6の実施例の説明図を示す。

【図2】本発明の第2の実施例及び第7の実施例の説明図を示す。

【図3】本発明の第3の実施例及び第8の実施例及び第11の実施例の説明図を示す。

【図4】本発明の第4の実施例の説明図を示す。

[14]

【図5】本発明の第5の実施例の説明図を示す。

【図6】シリコン基板を多孔質化する際の装置説明図を示す。

【図7】シリコン基板を多孔質化する際の装置説明図を示す。

【図8】本発明の第9の実施例の説明図を示す。

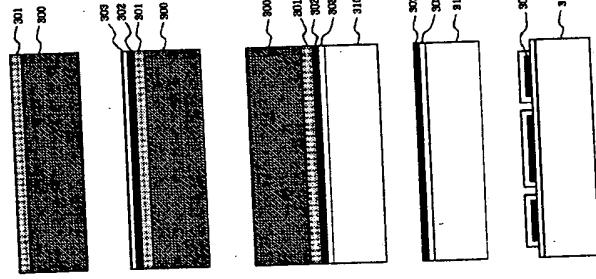
【図9】本発明の第10の実施例の説明図を示す。

【図10】繊層欠陥の成長を表す説明図である。

【符号の説明】

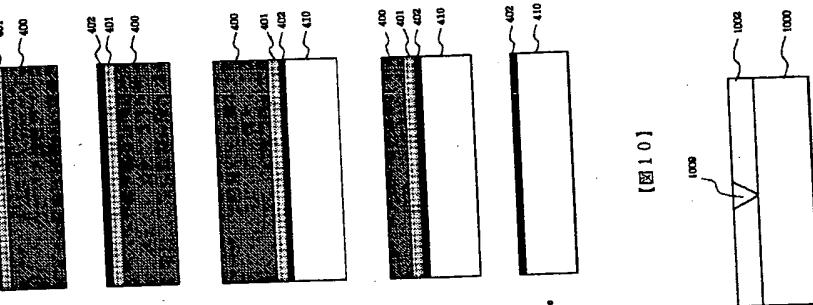
100、200、300、400、500、600、700、800、900単結晶シリコン基板
101、201、301、401、501、701、800
102、202、302、402、502、702、800
103、203、303、403、503、703、803
104、604、エッチング液
105、605、正電極
106、606、負電極
1000 単結晶シリコン基板もしくは絶縁体基板

[図3]



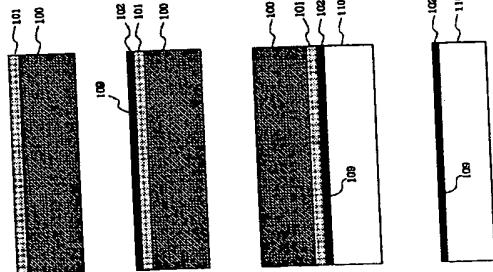
[図3]

[図4]



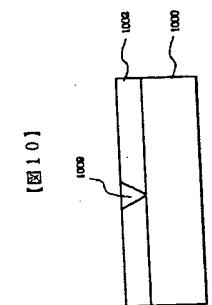
[図4]

[図1]



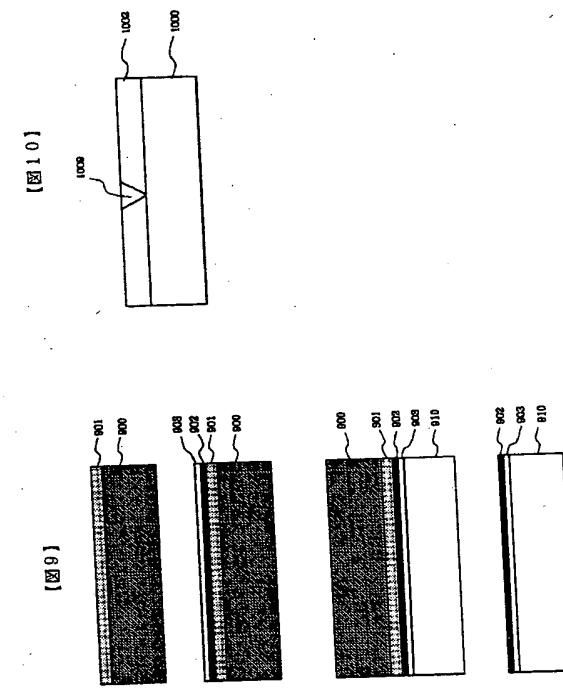
[図1]

[図9]



[図9]

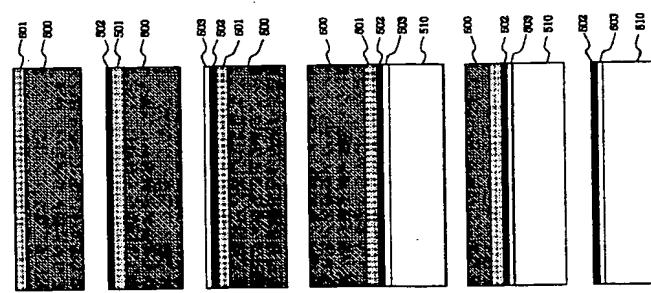
[図10]



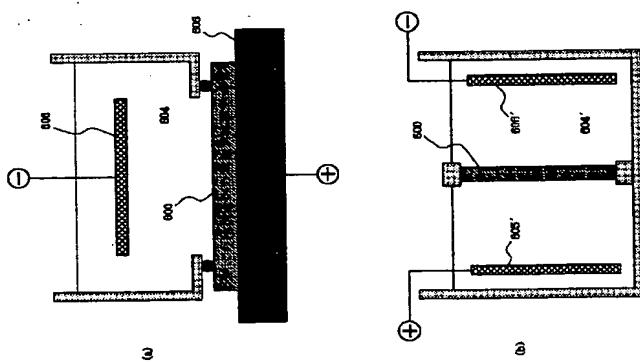
[図10]

〔15〕

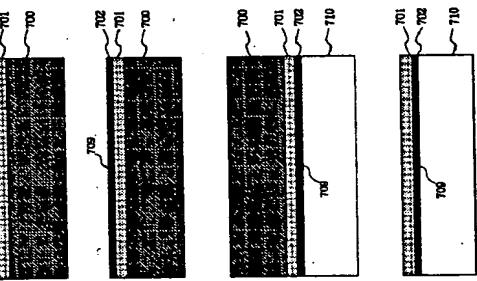
[図5]



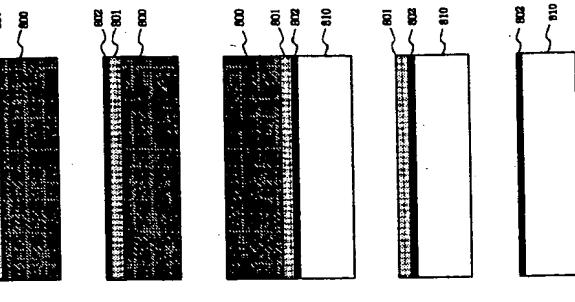
[図6]



[図7]



[図8]



〔16〕

フロントページの焼き

技術表示箇所

FI

別別記号

序内整理番号

H01L 1/306
11/142
11/71

P

(51)In, Cl. 4
H01L 1/306
11/142
11/71

THIS PAGE BLANK (USPTO)